

# Project ANR INSCOOP

## **Task 4: SUBSTRATE PATTERNING AND SITE CONTROLLED CATALYST ON SOI WAVEGUIDE**

### **T4.1 : Catalyst patterning on Si (or STO/Si) and on SiO<sub>2</sub> /Si (or SiO<sub>2</sub> / STO/Si) (LTM-INL)**

T4.1.1 Catalyst patterning on full sheet Si (or STO/Si) substrates (LTM)

T4.1.2 Catalyst patterning on SiO<sub>2</sub> /Si (or SiO<sub>2</sub> /STO/Si) (INL + LTM)

### **T4.2: Catalyst patterning on SOI waveguides (CEA, LTM)**

T4.2.1 SOI waveguides (CEA)

T4.2.2 Catalyst patterning on SOI waveguides (CEA + LTM)

Bassem Salem-LTM

Pedro Rojo-Romeo-INL

Jean-Marc Fedeli / Badhise Ben Bakir-CEA-Leti

## **Deliverables of T4**

<b>D4.1</b> : PtIn and In catalysts patterning on silicon substrates	<b>M12 (M0 to M12)</b>
<b>D4.2</b> : PtIn and In catalysts patterning on nanoholes-SiO <sub>2</sub> /Si(001)	<b>M12 (M6 to M12)</b>
<b>D4.3</b> : PtIn and In catalysts patterning on STO/Si(001)	<b>M24 (M12 to M24)</b>
<b>D4.4</b> : Waveguides on SOI	<b>M12 (M6 to M12)</b>
<b>D4.5</b> : Catalyst patterning on SOI waveguide	<b>M18 (M12 to M18)</b>

### **Potential blocking points and associated milestones**

- Problem of STO etching?
- Growth on patterned substrate : InP deposition at the edge of the waveguide

Milestones :

Do we add an additional technological step to remove InP from the edges of the waveguide?

# Echantillons INSCOOP-LTM

B. Salem, M. Martin, T. Baron, T. Luciani



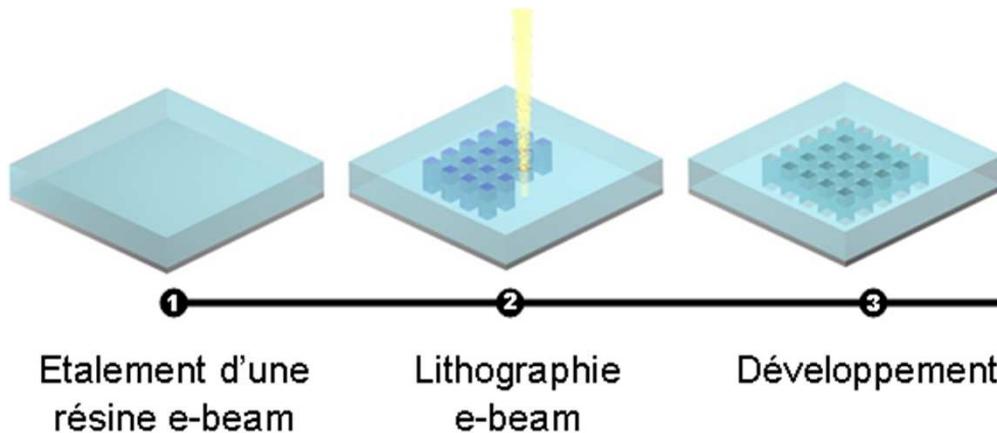
1- Echantillons avec des trous dans la résine (PMMA) sur substrat Si(111)

/ diamètre des trous entre 40-70 nm.

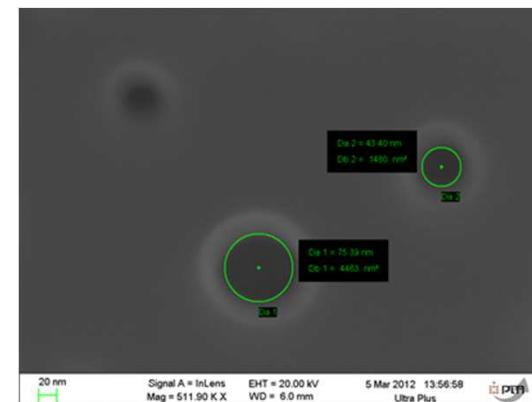
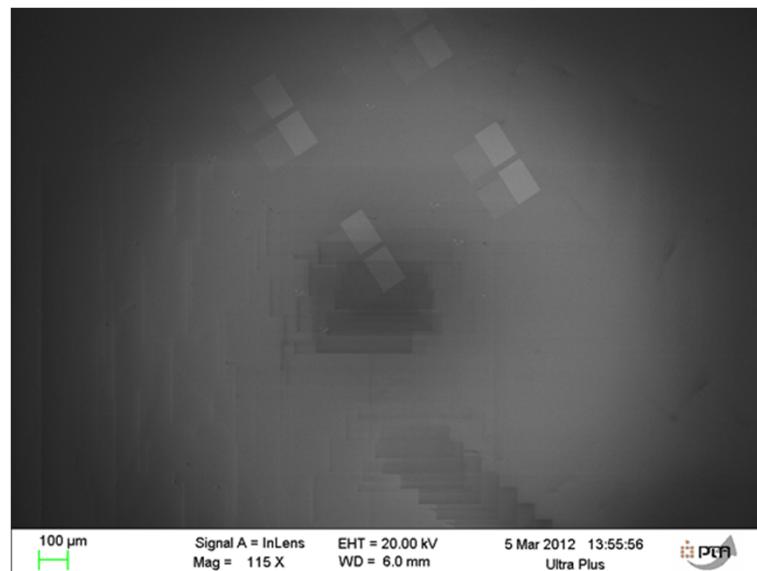
2- Réseaux de plots d'or sur substrat de Si(001) 2 pouces: diamètre des trous entre 40-80 nm/épaisseur d'or 10 nm, (pas d'image MEB et pas des marques d'alignement).

3- Echantillons  $\text{SiO}_2/\text{Si}(111)$  avec réseaux des trous/transfert dans le  $\text{SiO}_2$ /diamètre entre 40-90 nm / épaisseur d'oxyde autour de 30 nm.

## Réalisation des réseaux de trous par lithographie électronique (masqueur PTA)



PMMA 4% (~250nm)  
SiO<sub>2</sub> (25-35 nm)  
Si (111) ou Si(001)



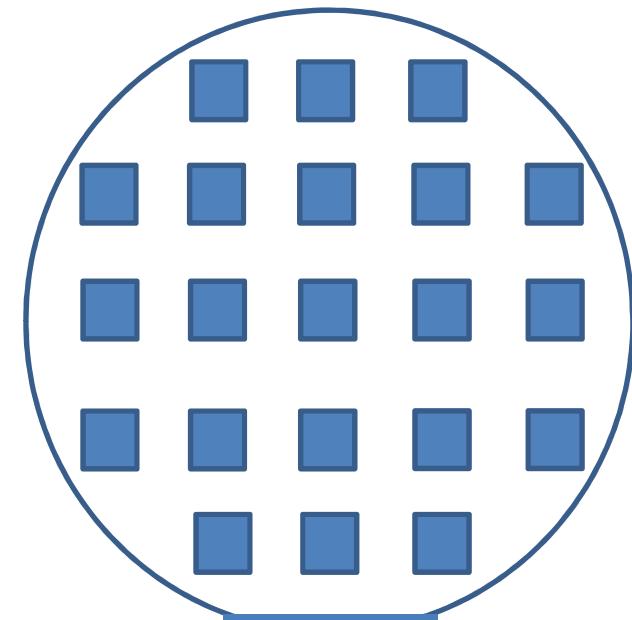
- 1- Transfert des trous dans l'oxyde
- 2- Dépôt de métal + lift-off

# INSCOOP-02102012-LTM

Masque 30 nm/50 nm/ 70 nm

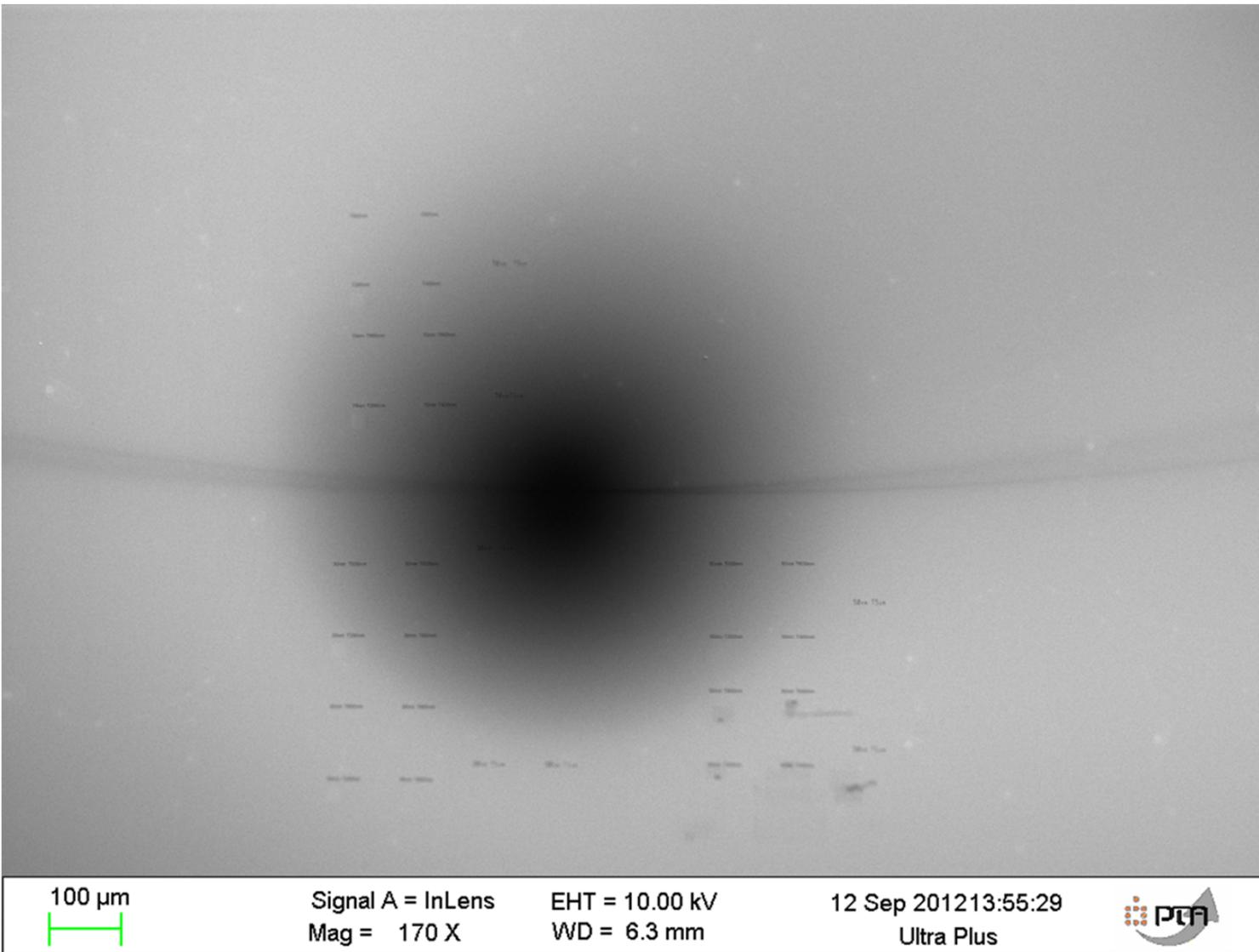


Plan de découpe

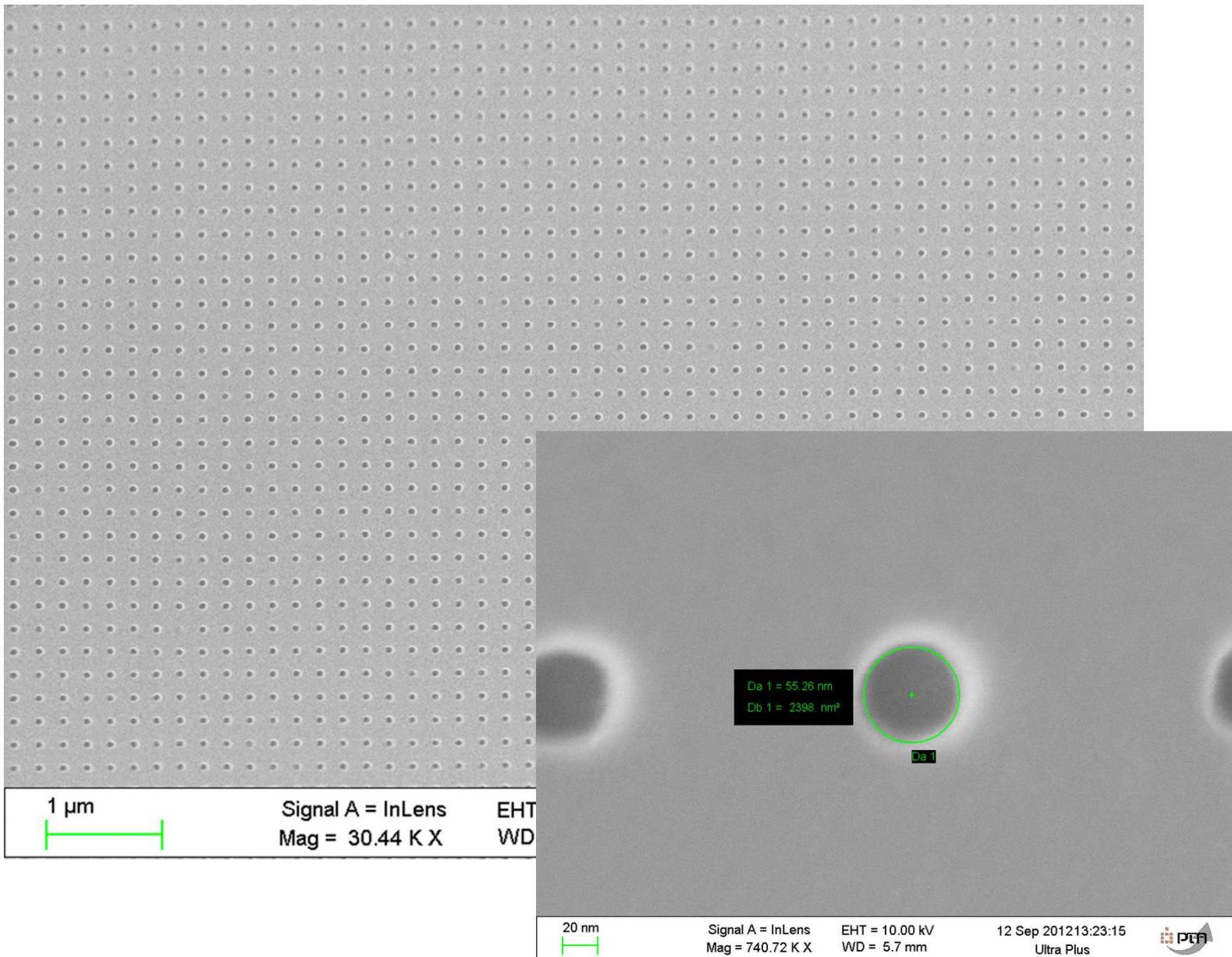


Substrat Si (111) + SiO<sub>2</sub> ~30nm

## Vue globale d'une puce



## Réseau 50 nm



## Réseau 30 nm (diamètre après litho/gravure 40 nm)

